

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-075835

(43)Date of publication of application : 14.03.2000

(51)Int.Cl.

G09G 3/28  
G09G 3/20

(21)Application number : 11-061660

(71)Applicant : FUJITSU LTD

(22)Date of filing : 09.03.1999

(72)Inventor : SETOGUCHI NORIAKI  
ASAO SHIGEHARU  
KANAZAWA GIICHI

(30)Priority

Priority number : 10170825

Priority date : 18.06.1998

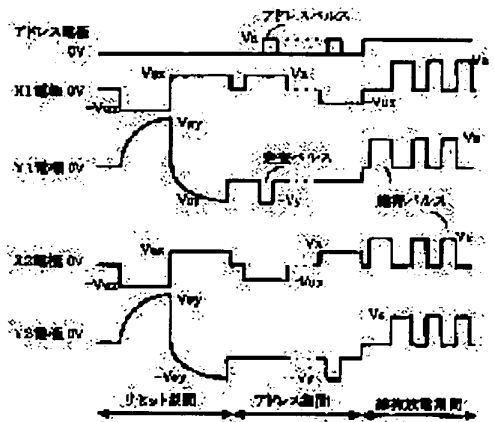
Priority country : JP

## (54) PLASMA DISPLAY PANEL DRIVING METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To realize stable address discharge by surely executing a reset discharge and an erase discharge by suppressing the reduction of contrast caused by the reset discharge.

**SOLUTION:** This plasma display panel driving method, wherein a plurality of a 1st and a 2nd electrodes are arranged in parallel adjacently to each other, a plurality of 3rd electrodes are arranged so as to intersect both electrodes, specified electrical discharge cells are arranged in matrix at the intersection areas of each electrode, comprises a reset period to uniform wall charge distribution of electrical discharge cells, an address period to form the wall charge according to a display data, and a maintenance discharge period to carry out maintenance electrical discharge. In the reset period, a 1st pulse  $V_{wy}$  varying in the impressed voltage as time passes is impressed across the 1st and 2nd electrodes to generate a 1st discharge; and then, a 2nd pulse  $V_{ey}$  varying in the impressed voltage as time passes is impressed across the 1st and 2nd electrode to generate a 2nd discharge as an erase discharge.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-75835

(P2000-75835A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 9 G 3/28		G 0 9 G 3/28	H
3/20	6 4 2	3/20	6 4 2 E

審査請求 未請求 請求項の数17 O L (全 16 頁)

(21) 出願番号 特願平11-61660

(22) 出願日 平成11年3月9日 (1999.3.9)

(31) 優先権主張番号 特願平10-170825

(32) 優先日 平成10年6月18日 (1998.6.18)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 瀬戸口 典明

鹿児島県薩摩郡入来町副田5950番地 株式会社九州富士通エレクトロニクス内

(72) 発明者 浅生 重晴

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74) 代理人 100072590

弁理士 井桁 貞一

最終頁に続く

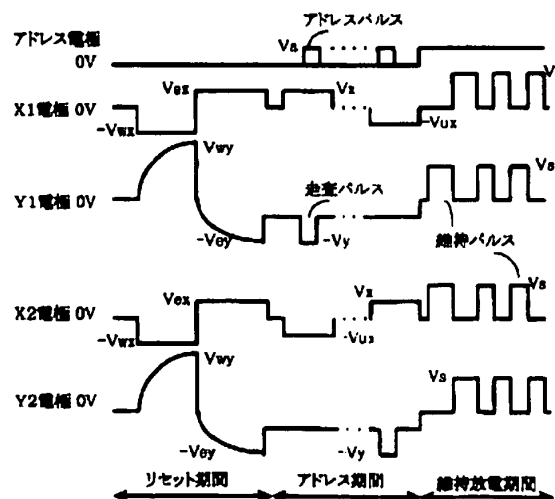
(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【要約】 (修正有)

【課題】リセット放電によるコントラストの低下を抑制してリセット放電及び消去放電を確実に実施し、安定なアドレス放電を実現する。

【解決手段】並行する第1、第2の電極が互い隣接して複数配置され、両電極に交差するように第3の電極が複数配置され、各電極の交差領域で規定される放電セルがマトリクス状に配置されたプラズマディスプレイパネルの駆動方法において、放電セルの壁電荷分布を均一にするためのリセット期間と、表示データに応じて壁電荷を形成するアドレス期間と、維持放電を実施する維持放電期間とを有し、リセット期間において、時間の経過に伴って印加電圧値が変化する第1のパルス  $V_{wy}$  を印加し、第1、第2の電極間で第1の放電を発生させ、次いで、時間の経過に伴って印加電圧値が変化する第2のパルス  $V_{ey}$  を印加し、第1、第2の電極間で消去放電としての第2の放電を発生させる。

本発明の第1実施例を示す波形図



## 【特許請求の範囲】

【請求項1】 並行する第1および第2の電極が互いに隣接して複数配置されると共に、該第1および第2の電極対に交差するように第3の電極が複数配置されてなり、各電極の交差領域で規定される放電セルがマトリクス状に配置されたプラズマディスプレイパネルの駆動方法であって、

複数の該放電セルの壁電荷分布を均一にするためのリセット期間と、表示データに応じて該放電セルにて壁電荷を形成するアドレス期間と、前記アドレス期間において壁電荷が形成された該放電セルにおいて維持放電を実施する維持放電期間とを有し、

前記リセット期間において、時間の経過に伴って印加電圧値が変化する第1のパルスを印加し、前記第1および第2の電極間で第1の放電を発生させる工程と、次いで、時間の経過に伴って印加電圧値が変化する第2のパルスを印加し、前記第1および第2の電極間で消去放電としての第2の放電を発生させる工程とを含むことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 前記第2の電極に正極性の前記第1のパルスを印加すると共に前記第1の電極に負極性のパルスを印加し、次いで、前記第2の電極に負極性の前記第2のパルスを印加すると共に前記第1の電極に正極性のパルスを印加することを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】 前記維持放電期間の終了から少なくとも $1\mu s$ を越える期間をおいた後に、前記第1の放電に関わるパルスの印加を行うことを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項4】 前記第1の放電において、前記第2の電極に印加する正極性の前記第1のパルスに先立って、前記第1の電極への負極性のパルスを印加することを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項5】 前記時間の経過に伴って印加電圧値が変化する第1および第2のパルスは、単位時間あたりの電圧変化量が増加する鈍りパルスであることを特徴とする請求項1又は2記載のプラズマディスプレイパネルの駆動方法。

【請求項6】 前記時間の経過に伴って印加電圧値が変化する第1および第2のパルスは、単位時間あたりの電圧変化量が一定である三角波であることを特徴とする請求項1又は2記載のプラズマディスプレイパネルの駆動方法。

【請求項7】 前記第1のパルスの印加により第一の電位に到達した電極電位を、該第1のパルス印加前の電極電位である第二の電位に降下させることなく、前記第2のパルスを印加することを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項8】 前記第1のパルスの印加により前記第一

の電位に到達した電極電位を、前記第二の電位より高電位である第三の電位まで降下させた後、前記第2のパルスを印加することを特徴とする請求項7記載のプラズマディスプレイパネルの駆動方法。

【請求項9】 前記第2のパルスの印加により到達する電極電位は、前記アドレス期間における該電極の選択電位より高く、該電極の非選択電位より低いことを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

10 【請求項10】 並行する第1および第2の電極が互いに隣接して複数配置されると共に、該第1および第2の電極に交差するように第3の電極が複数配置されてなり、各電極の交差領域で規定される放電セルがマトリクス状に配置されたプラズマディスプレイパネルの駆動方法であって、

各第2の電極と、該各第2の電極に隣接する一方の各第1の電極との間の放電により表示を行う第1フィールドと、各第2の電極と、該各第2の電極に隣接する他方の各第1の電極との間の放電により表示を行う第2フィールドとを、時間的に分離してなり、

20 該第1および第2フィールドは、それぞれ、複数の該放電セルの壁電荷分布を均一にするためのリセット期間と、表示データに応じて該放電セルにて壁電荷を形成するアドレス期間と、前記アドレス期間において壁電荷が形成された該放電セルにおいて維持放電を実施する維持放電期間とを有し、

前記リセット期間において、時間の経過に伴って印加電圧値が変化するパルスを印加して放電を発生させることを特徴とするプラズマディスプレイパネルの駆動方法。

30 【請求項11】 前記パルスの印加により放電を発生させた後、更に、時間の経過に伴って印加電圧値が変化する第2のパルスを印加して消去放電を実施することを特徴とする請求項10記載のプラズマディスプレイパネルの駆動方法。

【請求項12】 前記第1フィールドのアドレス期間において、前記一方の第1の電極に第1の極性のパルスを印加すると共に、前記他方の第1の電極に第2の極性のパルスを印加した状態で、前記第2の電極に順次第2の極性の走査パルスを印加し、

40 前記第2フィールドのアドレス期間において、前記他方の第1の電極に第1の極性のパルスを印加すると共に、前記一方の第1の電極に第2の極性のパルスを印加した状態で、前記第2の電極に順次第2の極性の走査パルスを印加することを特徴とする請求項10記載のプラズマディスプレイパネルの駆動方法。

【請求項13】 並行する第1および第2の電極が互いに隣接して複数配置されると共に、該第1および第2の電極に交差するように第3の電極が複数配置されてなり、各電極の交差領域で規定される放電セルがマトリクス状に配置されたプラズマディスプレイパネルの駆動方

法であって、

各第2の電極と、該各第2の電極に隣接する一方の各第1の電極との間の放電により表示を行う第1フィールドと、各第2の電極と、該各第2の電極に隣接する他方の各第1の電極との間の放電により表示を行う第2フィールドとを、時間的に分離してなり、

該第1および第2フィールドは、それぞれ、

前フィールド終了時に残留する壁電荷を消去するための放電を行うフィールドリセット期間と、

複数の該放電セルの壁電荷分布を均一にするためのリセット期間、表示データに応じて該放電セルにて壁電荷を形成するアドレス期間、および前記アドレス期間において壁電荷が形成された該放電セルにおいて維持放電を実施する維持放電期間とをそれぞれ含む複数のサブフィールドとを有することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項14】 前記フィールドリセット期間は、偶数番目の第1の電極と奇数番目の第2の電極間にて放電を行う期間と、奇数番目の第1の電極と偶数番目の第2の電極間にて放電を行う期間と、奇数番目の第1の電極と偶数番目の第2の電極間にて放電を行う期間と、偶数番目の第1の電極と偶数番目の第2の電極間にて放電を行う期間とをそれぞれ含むことを特徴とする請求項13記載のプラズマディスプレイパネルの駆動方法。

【請求項15】 前記フィールドリセット期間における各放電は、電極間にパルス印加してリセット放電を行った後に、各電極電位を同電位として該リセット放電により形成された壁電荷自身の電位差により行われる自己消去放電を伴うものであることを特徴とする請求項14記載のプラズマディスプレイパネルの駆動方法。

【請求項16】 前記第1および第2フィールドは、前記フィールドリセット期間に先立って、該フィールドリセット期間における放電に重量される壁電荷を形成するためのフィールドリセット電荷調整期間を有することを特徴とする請求項13記載のプラズマディスプレイパネルの駆動方法。

【請求項17】 前記フィールドリセット電荷調整期間は、時間の経過に伴って印加電圧値が変化する第1のパルスを印加して放電を生じさせる工程と、該第1のパルスにより形成された壁電荷量を調整するために、時間の経過に伴って印加電圧値が変化する第2のパルスを印加する工程とを含むことを特徴とする請求項16記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、プラズマディスプレイパネル（Plasma Display Panel：PDP）の駆動方法に関する。

【0002】PDPは、自己発光型の表示装置であるため視認性が良く、薄型で大画面表示が可能であることか

ら、CRTに代わる次世代の表示装置として注目されている。特に面放電AC型PDPは、大画面化が可能ことから、高品位デジタル放送に対応した表示装置としての期待が高まっており、CRTを凌ぐ高画質化が要求されている。

【0003】高画質化には、高精細化、高階調化、高輝度化、高コントラスト化等がある。高精細化は画素ピッチを細かくすることにより達成され、高階調化はフレーム内のサブフィールド数を増加させることにより達成される。また高輝度化は、一定の電力から得られる可視光の量を多くすることや、維持放電の回数を多くすることにより達成される。さらに高コントラスト化は、表示パネル表面の外来光の反射率を低減することや、表示発光に寄与しない黒表示時の発光を低減することにより達成される。

【0004】

【従来の技術】図10は面放電型PDPの概略構成図であり、本出願人が既に出願した、全ての維持放電電極間で表示を行う方式のPDPの構成を示すものである。

（特開平9-160525号公報）

PDP1は、一方の基板上に平行に配置された維持放電電極X1～X3、Y1～Y3と、他方の基板上に形成され、維持放電電極に交差するように形成されたアドレス電極A1～A4と、アドレス電極と平行に配置され、放電空間を仕切るための隔壁2により形成されている。互いに隣接する維持放電電極とそれに交差するアドレス電極とで規定される領域にはそれぞれ放電セルが形成され、可視光を得るための蛍光体が設けられる。また両基板間には、放電を起こすためのガスが封入される。なお本図では、簡単のため、維持放電電極を3本ずつ、アドレス電極を4本としている。

【0005】この構成のPDPは、各々の維持放電電極がその両側の維持放電電極との間でそれぞれ維持放電を行うことができるため、全ての電極の隙間（L1～L5）が全て表示ラインとなる。例えばX1電極とY1電極は表示ラインL1を形成し、Y1電極とX2電極は表示ラインL2を形成するわけである。

【0006】図11は、図10のPDPのアドレス電極に沿った断面図であり、3は前面基板、4は背面基板、D1～D3はそれぞれ電極間での放電を示している。具体的には、Y1電極とX1電極との間に電圧を加えることで、放電D1を起こすことができる。また、Y1電極とX2電極との間に電圧を加えることで放電D2を起こすことができ、同じくX2電極とY2電極とでは放電D3を起こすことができる。このように1本の電極をその両側の表示に活用することで、電極数の削減による高精細化および、それらの電極の駆動回路の削減が可能である。

【0007】図12は、図10のPDPにおけるフレームの構成を示す図である。1フレームは、第1フィール

ドおよび第2フィールドの2つのフィールドにより構成される。第1フィールドでは奇数番目の表示ライン(L1、L3、L5)において表示を行うものであり、第2フィールドでは偶数行の表示ライン(L2、L4)において表示を行うことで、1画面の表示を構成している。また各フィールドは所定の輝度比を有する複数のサブフィールドによって構成されており、それらのサブフィールドを表示データに応じて選択的に発光させることで、画素ごとの輝度の違いである階調を表現している。そして各サブフィールドは、直前のサブフィールドでの表示状態によりそれぞれ異なっているセルの状態を均一にするためのリセット期間、新たな表示データを書き込むためのアドレス期間、書き込まれた表示データに基づき維持放電による発光表示を行う維持放電期間により構成される。

【0008】図13は、図10のPDPにおける従来の駆動方法を示す波形図であり、第1フィールド内の任意のサブフィールドを示している。

【0009】リセット期間においては、全てのX電極に放電開始電圧を越える電圧 $V_w$ からなるリセットパルスが印加され、隣接するY電極との間で放電が開始される。この結果、全表示ライン(L1~L5)にて第1の放電(リセット放電)が行なわれることになり、放電セル内には正イオンや電子による壁電荷が形成される。次に上記リセットパルスを取り去って各電極を同電位に保持すると、電極上に形成された壁電荷自身による電位差で再度第2の放電(自己消去放電)が発生する。この時には各電極を同電位としてあるため、放電によって形成された正イオンや電子は放電空間内で再結合し、壁電荷が消滅する。この放電より、全表示セルにおける壁電荷量をほぼ均一にすることができる。(壁電荷分布の均一化)

次にアドレス期間においては、Y1電極から順次電圧 $-V_y$ からなる走査パルスが印加される。同時にアドレス電極に表示データに応じて電圧 $V_a$ からなるアドレスパルスが印加されてアドレス放電が開始される。その際、第1フィールドにおいてY1電極に対して表示を行う電極対であるX1電極には、電圧 $V_x$ からなるパルスが補助的に印加されており、アドレス電極とY1電極間で発生した放電は、X1電極とY1電極間に移行する。これにより、維持放電の開始に必要な壁電荷がX1電極およびY1電極近傍に形成される。一方表示を行なわないラインを形成する電極対であるX2電極の電圧は0Vに維持されており、X2電極側で放電が生じることを防止している。同様に、まず奇数番目のY電極について順次アドレス放電が行われる。

【0010】奇数番目のY電極によるアドレス放電が終了した後、Y2電極に走査パルスが印加される。この際Y2電極に対して表示を行う電極対であるX2電極には、同様に電圧 $V_x$ からなるパルスが印加され、図示し

ないX3電極はX1電極と同様に0Vに維持される。同様に、偶数番目のY電極について順次アドレス放電が行われ、全画面の奇数表示行でのアドレス放電が行なわれる。

【0011】次に維持放電期間に入り、X電極とY電極に交互に電圧 $V_s$ からなる維持パルスが印加される。この時表示を行なわないラインの電極対間の電位差が0Vとなるように維持パルスの位相を設定することで、非表示ラインで放電が生じることを防止している。例えば、第1フィールドで表示を行うX1電極とY1電極の対にはそれぞれ位相が異なった維持パルスが印加されるが、非表示ラインの電極対であるY1電極とX2電極間では上記維持パルスは同位相となる。このように1サブフィールドでの表示が行なわれる。

【0012】なお図13において、 $V_s$ は維持放電を行うために必要な電圧であり、通常170V程度に設定される。また、 $V_w$ は放電開始電圧を越える電圧として350V程度に、走査パルスである $-V_y$ は-150V程度に、アドレスパルス $V_a$ は60V程度に設定される。なお $V_a$ と $V_y$ の絶対値の合計は、アドレス電極とY電極間の放電開始電圧以上となるように設定される。また $V_x$ は50V程度であり、アドレス電極とY電極間の放電がX電極側に移行し十分な壁電荷を形成できる値に設定されている。

【0013】

【発明が解決しようとする課題】しかしながら従来の駆動方法では、リセット放電を実施するために、放電セルにおける放電開始電圧を越える十分な電圧パルス $V_w$ を印加しており、強い放電が生じていた。この放電に伴って発生する発光は、本来の映像表示には無関係な背景発光であり、結果としてコントラストの低下につながっていた。

【0014】また、特に前述の、全ての維持放電電極間を表示ラインとして用いる駆動方式の場合、リセット放電が全ての放電セルにおいて安定に生じない可能性があることが明らかになった。すなわち、全X電極に印加されるリセットパルスにより全表示ラインにおいて放電を起こすわけであるが、各放電セルの放電開始時間のばらつきにより、一部のセルで放電が生じない可能性が存在するのである。

【0015】図11においてX2電極に着目した場合、X2電極とY1電極間の放電D2が先に生じたと仮定する。そして放電により発生した電荷が電極近傍に蓄積し始めると、壁電荷による逆バイアスがかかり放電空間に対する実効電圧が低下する。具体的には、X2電極側に電子による壁電荷が形成され、電極に印加されている $V_w$ 電圧の放電空間に対する実効電圧を低下させる。この実効電圧の低下がX2電極とY2電極間の放電開始より先行した場合、X2電極とY2電極間の放電が行われな

放電が一部の放電セルで実施されなければ、セルの状態の均一化が図られず、当該放電セルにおけるアドレス放電を安定に起こすことができず誤表示となる。

【0016】仮にリセット放電が全てのセルで起こせた場合でも、それに続く自己消去放電が安定に生じない可能性がある。すなわち自己消去放電は、リセット放電によって形成された壁電荷自身の電位差によって引き起こされるため、リセット放電よりも小規模になることが多い。このため個々の放電セルの特性ばらつきによっては、自己消去放電が起こらずにリセット放電によって形成された壁電荷がそのまま残留してしまう。或いはリセット放電の終了時点で十分な壁電荷が形成されておらずに、自己消去放電が生じない可能性もある。その結果、消去放電が実施されなかった放電セルにおいては、続くアドレス放電が正常に行なわれずに誤表示の原因となる。

【0017】これらの問題を解決する方法として、リセットパルスの電圧を上げ、全セルにおいてより確実に放電を起こすことが考えられる。しかしながら、放電電圧の更なる上昇は前述の背景発光をますます増大させ、コントラストを悪化させてしまう。

【0018】更に、上記した原因により放電セルに壁電荷が残留したままアドレス期間に移行すると、別の問題も生じる。前述したようにアドレス期間では、表示ラインを構成するX電極に電圧 $V_x$ を印加すると共に、非表示ラインを構成するX電極は0Vを保持することでアドレス放電を発生を防いでいる。しかしながら不要な壁電荷が残留していると、非表示ラインにおいても放電が生じる可能性がある。

【0019】例えば図11において、Y1電極に電圧 $V_y$ からなる走査パルスが印加され、アドレス電極に電圧 $V_a$ からなるアドレスパルスが印加されてアドレス放電が行なわれる。その時、X1電極には電圧 $V_x$ が印加されているためY1電極とX1電極間の放電に移行し、放電D1が行なわれる。この時Y1電極に隣接するX2電極は0Vの電圧に保持されており、本来であれば放電D2の発生は回避できるはずである。しかしながらリセット放電の不確実さによる残留電荷の偏りにより、放電D2が発生してしまう場合がある。その結果、X2電極上に負極性の壁電荷が蓄積され、次に行うアドレス放電D3が影響を受けてしまうのである。なお、この非表示電極による誤放電は、放電セルごとの放電開始電圧のばらつき等によっても生じる可能性がある。

【0020】また、各サブフィールドでの維持放電は、維持放電電圧 $V_s$ やセル構造などにより放電が広がる場合がある。図6を参照すれば、電極X1-Y1間及び電極X2-Y2間にて維持放電を行なった場合、電極Y1-X2間にもある程度の壁電荷が蓄積される。これらは、各サブフィールドのリセット期間において消去されるが、その中の一部特にアドレス電極側に形成された壁

電荷が消去されずにそのまま残留する場合がある。この壁電荷は、上記電極X1-Y1間及び電極X2-Y2間にて表示を行うフィールドでは影響を及ぼさないが、電極Y1-X2間において表示を行う次のフィールドにおいてアドレス放電を不安定にさせる原因となる。

【0021】本発明は、リセット放電によるコントラストの低下を抑制する、或いはコントラストの低下を伴うことなく、リセット放電及び消去放電を確実に実施し、安定なアドレス放電を実現し得るプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【0022】

【課題を解決するための手段及びその作用】請求項1によるプラズマディスプレイパネルの駆動方法では、並行する第1および第2の電極が互いに隣接して複数配置されると共に、該第1および第2の電極に交差するように第3の電極が複数配置されてなり、各電極の交差領域で規定される放電セルがマトリクス状に配置されたプラズマディスプレイパネルの駆動方法において、複数の該放電セルの壁電荷分布を均一にするためのリセット期間と、表示データに応じて該放電セルにて壁電荷を形成するアドレス期間と、前記アドレス期間において壁電荷が形成された該放電セルにおいて維持放電を実施する維持放電期間とを有し、前記リセット期間において、時間の経過に伴って印加電圧値が変化する第1のパルスを印加し、前記第1および第2の電極間で第1の放電を発生させる工程と、次いで、時間の経過に伴って印加電圧値が変化する第2のパルスを印加し、前記第1および第2の電極間で消去放電としての第2の放電を発生させる工程とを含むようにする。

【0023】請求項1に係わる本発明では、リセット放電の際に微弱放電を実施できるため発光量も少なく、リセット放電を実施しているにも係わらず、コントラストの大きな低下がない。更にその後の消去放電も、自己消去放電ではなく、時間の経過に伴って印加電圧値が変化するパルスの印加により実施しているため、放電セルの特性ばらつきや残留する壁電荷量に係わらず行うことができる。また放電が微弱であるため、発光量も少なく、コントラストの大きな低下はない。

【0024】これらの作用は、本願明細書にて主として説明している、全ての電極間にて表示を行う方式に限らず、一対の維持放電電極間にて1本の表示ラインを構成する従来方式のPDPに適用した場合であっても得られるものである。

【0025】請求項2によるプラズマディスプレイパネルの駆動方法では、前記第2の電極に正極性の前記第1のパルスを印加すると共に前記第1の電極に負極性のパルスを印加し、次いで、前記第2の電極に負極性の前記第2のパルスを印加すると共に前記第1の電極に正極性のパルスを印加するようにする。

【0026】請求項2に係わる本発明では、第1の放電

にて形成された壁電荷に重畳するように第2の脉冲を印加するため、壁電荷の電位を利用して確実な消去放電が実施できる。また、第1の放電時に第1の電極に負極性の脉冲を印加することで、或いは第2の放電時に第2の電極に負極性の第2の脉冲を印加することで、それぞれ、前サブフィールドの維持放電工程終了時にアドレス電極上に残留する壁電荷を消去することができる。

【0027】請求項3によるプラズマディスプレイパネルの駆動方法では、前記維持放電期間の終了から少なくとも1 $\mu$ sを越える期間をおいた後に、前記第1の放電

10 に関わる脉冲の印加を行うようにする。

【0028】請求項3に係わる本発明では、リセット放電に先立って残留壁電荷を減少させることができる。

【0029】請求項4によるプラズマディスプレイパネルの駆動方法では、前記第1の放電において、前記第2の電極に印加する正極性の前記第1の脉冲に先立って、前記第1の電極への負極性の脉冲を印加するようにする。

【0030】請求項4に係わる本発明では、アドレス電極上に残留する壁電荷を消去すると共に、第1の放電が

20 強放電となることを防止することができる。

【0031】請求項5によるプラズマディスプレイパネルの駆動方法では、前記時間の経過に伴って印加電圧値が変化する第1および第2の脉冲を、単位時間あたりの電圧変化量が変化する鈍りパルスとする。

【0032】請求項6によるプラズマディスプレイパネルの駆動方法では、前記時間の経過に伴って印加電圧値が変化する第1および第2の脉冲を、単位時間あたりの電圧変化量が一定である三角波とする。

【0033】請求項5に係わる本発明では、放電セルの

30 状態により放電開始時期にばらつきが生じると、放電の強さに違いが生じる可能性があるが、比較的簡単な回路構成により実現することが可能である。

【0034】一方請求項6に係わる本発明では、回路構成は多少複雑になるものの、全ての放電セルで確実に微弱放電を実施することが可能である。

【0035】請求項7によるプラズマディスプレイパネルの駆動方法では、前記第1の脉冲の印加により第一の電位に到達した電極電位を、該第1の脉冲印加前の電極電位である第二の電位に降下させることなく、前記

40 第2の脉冲を印加する。

【0036】請求項8によるプラズマディスプレイパネルの駆動方法では、前記第1の脉冲の印加により前記第一の電位に到達した電極電位を、前記第二の電位より高電位である第三の電位まで降下させた後、前記第2の脉冲を印加する。

【0037】請求項7に係わる本発明では、第2の放電が強放電となることを防止することができる。

【0038】更に請求項8に係わる本発明では、第2の放電に長時間を要することなく、第2の放電が強放電と

なることを防止することができる。

【0039】請求項9によるプラズマディスプレイパネルの駆動方法では、前記第2の脉冲の印加により到達する電極電位を、前記アドレス期間における該電極の選択電位より高く、該電極の非選択電位より低くする。

【0040】請求項9に係わる本発明では、アドレス放電に先立って、適度な量の壁電荷を残留させることができる。

10 【0041】請求項10によるプラズマディスプレイパネルの駆動方法では、並行する第1および第2の電極が互いに隣接して複数配置されると共に、該第1および第2の電極に交差するように第3の電極が複数配置されとなり、各電極の交差領域で規定される放電セルがマトリクス状に配置されたプラズマディスプレイパネルの駆動方法において、各第2の電極と、該各第2の電極に隣接する一方の各第1の電極との間の放電により表示を行う第1フィールドと、各第2の電極と、該各第2の電極に隣接する他方の各第1の電極との間の放電により表示を行う第2フィールドとを、時間的に分離してなり、該第1および第2フィールドは、それぞれ、複数の該放電セルの壁電荷分布を均一にするためのリセット期間と、表示データに応じて該放電セルにて壁電荷を形成するアドレス期間と、前記アドレス期間において壁電荷が形成された該放電セルにおいて維持放電を実施する維持放電期間とを有し、前記リセット期間において、時間の経過に伴って印加電圧値が変化する脉冲を印加して放電を発生させるようにする。

【0042】請求項10に係わる本発明では、全ての維持放電電極間を表示に用いる駆動方式において、リセット放電の際に微弱放電を実施できるため、形成される壁電荷量が少なく、形成された壁電荷が隣接する表示ラインに影響を与えることがない。また放電が微弱であるため、発光量も少なく、リセット放電を実施しているにも係わらず、コントラストを大きく低下させることはない。

【0043】請求項11によるプラズマディスプレイパネルの駆動方法では、前記パルスの印加により放電を発生させた後、更に、時間の経過に伴って印加電圧値が変化する第2の脉冲を印加して消去放電を実施するようにする。

【0044】請求項11に係わる本発明では、消去放電を、自己消去放電ではなく、時間の経過に伴って印加電圧値が変化するパルスの印加により実施しているため、放電セルの特性ばらつきや残留する壁電荷量に係わらず、確実に行うことができる。また放電が微弱であるため、発光量も少なく、消去放電を実施しているにも係わらず、コントラストを大きく低下させることはない。

【0045】請求項12によるプラズマディスプレイパネルの駆動方法では、前記第1フィールドのアドレス期間において、前記一方の第1の電極に第1の極性のパル

スを印加すると共に、前記他方の第 1 の電極に第 2 の極性のパルス印加した状態で、前記第 2 の電極に順次第 2 の極性の走査パルスを印加し、前記第 2 フィールドのアドレス期間において、前記他方の第 1 の電極に第 1 の極性のパルスを印加すると共に、前記一方の第 1 の電極に第 2 の極性のパルスを印加した状態で、前記第 2 の電極に順次第 2 の極性の走査パルスを印加するようにする。

【0046】請求項 12 に係わる本発明では、全ての維持放電電極間を表示に用いる駆動方式において、アドレス期間中の非表示ライン間の電位差を小さくすることで、誤放電が生じることを防止することができる。

【0047】請求項 13 によるプラズマディスプレイパネルの駆動方法では、並行する第 1 および第 2 の電極が互いに隣接して複数配置されると共に、該第 1 および第 2 の電極に交差するように第 3 の電極が複数配置され、各電極の交差領域で規定される放電セルがマトリクス状に配置されたプラズマディスプレイパネルの駆動方法であって、各第 2 の電極と、該各第 2 の電極に隣接する一方の各第 1 の電極との間の放電により表示を行う第 1 フィールドと、各第 2 の電極と、該各第 2 の電極に隣接する他方の各第 1 の電極との間の放電により表示を行う第 2 フィールドとを、時間的に分離してなり、該第 1 および第 2 フィールドを、それぞれ、前フィールド終了時に残留する壁電荷を消去するための放電を行うフィールドリセット期間と、複数の該放電セルの壁電荷分布を均一にするためのリセット期間、表示データに応じて該放電セルにて壁電荷を形成するアドレス期間、および前記アドレス期間において壁電荷が形成された該放電セルにおいて維持放電を実施する維持放電期間とをそれぞれ含む複数のサブフィールドとを有するようにする。

【0048】請求項 13 に係わる本発明では、全ての維持放電電極間を表示に用いる駆動方式において、前フィールド終了時に残留した壁電荷を消去することができる。

【0049】請求項 14 によるプラズマディスプレイパネルの駆動方法では、前記フィールドリセット期間を、偶数番目の第 1 の電極と奇数番目の第 2 の電極間にて放電を行う期間と、奇数番目の第 1 の電極と偶数番目の第 2 の電極間にて放電を行う期間と、奇数番目の第 1 の電極と奇数番目の第 2 の電極間にて放電を行う期間と、偶数番目の第 1 の電極と偶数番目の第 2 の電極間にて放電を行う期間とをそれぞれ含むようにする。

【0050】請求項 14 に係わる本発明では、フィールドリセット期間において、各電極、特にアドレス電極上に形成された壁電荷を確実に消去することができる。

【0051】請求項 15 によるプラズマディスプレイパネルの駆動方法では、前記フィールドリセット期間における各放電を、電極間にパルスを印加してリセット放電を行った後に、各電極電位を同電位として該リセット放

電により形成された壁電荷自身の電位差により行われる自己消去放電を伴うものとする。

【0052】請求項 15 に係わる本発明では、リセット放電を実施した後、自己消去放電による安定な壁電荷の消去が可能である。

【0053】請求項 16 によるプラズマディスプレイパネルの駆動方法では、前記第 1 および第 2 フィールドは、前記フィールドリセット期間に先立って、該フィールドリセット期間における放電に重畳される壁電荷を形成するためのフィールドリセット電荷調整期間を有するようにする。

【0054】請求項 16 に係わる本発明では、直前のフィールド終了時における放電セルの状態に関わらず、安定なフィールドリセットを行うことができる。

【0055】請求項 17 によるプラズマディスプレイパネルの駆動方法では、前記フィールドリセット電荷調整期間が、時間の経過に伴って印加電圧値が変化する第 1 のパルスを印加して放電を生じさせる工程と、該第 1 のパルスにより形成された壁電荷量を調整するために、時間の経過に伴って印加電圧値が変化する第 2 のパルスを印加する工程とを含むようにする。

【0056】請求項 17 に係わる本発明では、フィールドリセットに重畳する壁電荷を適度な量で残留させることができると共に、フィールドリセット電荷調整期間における放電自体も微弱放電とすることができる。

【0057】

【実施例】図 1 は、本発明の第 1 実施例を示す波形図である。図 1 は、奇数ラインの表示を行う第 1 フィールド中の任意のサブフィールドにおけるアドレス電極、X1 電極、Y1 電極、X2 電極および Y2 電極の波形を示しており、それぞれリセット期間、アドレス期間および維持放電期間とから構成される。以下の説明では X1 電極と X2 電極を X 電極、Y1 電極と Y2 電極を Y 電極と呼び、それらを全て維持放電電極と呼ぶこととする。

【0058】リセット期間においては、アドレス電極を 0V とした上で、維持放電電極に正極性と負極性のパルスが印加される。すなわち、X 電極に電圧  $-V_{wx}$  からなるパルスが印加されると共に、Y 電極には電圧  $V_{wy}$  からなるパルスが印加される。この際 Y 電極に印加されるパルスは、単位時間あたりの電圧変化量が変化しつつ電圧  $V_{wy}$  に達する鈍りパルスである。これによって X 電極と Y 電極間には微弱な第 1 の放電が行なわれる。

【0059】印加電圧として従来のような矩形波  $V_w$  を印加した場合、放電セルにおける放電開始電圧  $V_f$  との差  $V_w - V_f$  に応じた強い放電が生じ、過剰な壁電荷が形成されて隣接する放電セルに影響を与えてしまう。しかしながら鈍りパルスを用いることにより、印加電圧が放電セルごとの放電開始電圧  $V_f$  を越えた時点で各放電セルが放電を開始するため、生じる放電は微弱なものにしかならず、形成される壁電荷の量も僅かなものとな



る。この結果、ある放電セルにおけるリセット放電が先行したとしても、隣接する放電セルに影響を与えることはない。また放電が微弱なため、背景発光も小さくなる。

【0060】続いてX電極に電圧 $V_{ex}$ からなるパルスが印加されると共に、Y電極には電圧 $-V_{ey}$ からなるパルスが印加される。この際Y電極に印加されるパルスは、単位時間あたりの電圧変化量が変化しつつ電圧 $-V_{ey}$ に達する鈍りパルスである。これにより、第2の放電が起こり、直前の放電によって形成された壁電荷が消去される。

【0061】従来のように自己消去放電を用いた場合、形成されている壁電荷の量、或いは放電セルの特性によっては放電が生じない事態が生じたが、本発明では $V_{ex} + V_{ey}$ の電圧印加により強制的に放電を生じさせているため、消去放電は確実に実施される。更に印加パルスが鈍り波形であるため、放電は微弱なものとなり、コントラストを悪化させることもない。また、上記 $V_{ex} + V_{ey}$ を放電開始電圧 $V_f$ よりやや低い程度の電圧に設定することにより、前記第1の放電により生じた僅かな壁電荷を重畳して消去放電が実施される。

【0062】なお、維持放電は基本的にX-Y電極間にて実施するものであるが、その間維持放電電圧 $V_s$ より低い電位に維持されているアドレス電極には、プラスの極性の壁電荷が形成される。本実施例の第1の放電では、X電極に負極性のパルスを印加しているため、アドレス電極上に残留する壁電荷に重畳する形でアドレス-X電極間にも放電が生じ、アドレス電極のX電極上方付近に残留する壁電荷が消去されるのである。また続く第2の放電では、Y電極に負極性のパルスを印加しているため、同様にアドレス電極のY電極上方付近に残留する壁電荷が消去されることになる。

【0063】次にアドレス期間において、順次Y電極に走査パルスが印加されてアドレス放電が行なわれる。X電極に着目すると、走査パルスが印加されたY電極と対となり表示ラインを構成するX電極には、従来と同様に電圧 $V_x$ が印加されてアドレス放電が実施される。一方非表示ラインを構成するX電極には $-V_{ux}$ からなる電圧が印加されており、Y電極との電位差を小さくして非表示ラインにアドレス放電が生じることを防止している。奇数番目のY電極に対して順次走査パルスを印加してアドレス放電を実施した後、偶数番目のY電極に対して順次走査パルスを印加してアドレス放電を実施することは、従来と同様である。

【0064】アドレス期間が終了すると、維持放電期間に入りX電極およびY電極に交互に維持パルスが印加され、アドレス期間においてアドレス放電が行なわれたセルにおいて維持放電を繰り返す。この際、従来と同様に、非表示ラインにて維持放電が生じないように、維持放電パルスの位相を設定する。

【0065】なお図1において、リセット期間における $-V_{wx}$ と $V_{wy}$ の絶対値の和はX電極とY電極間の放電開始電圧を超える値に設定されており、例えば $-V_{wx}$ は $-130V$ 、 $V_{wy}$ は $220V$ である。続く消去放電は、例えば $V_{ex}$ が $60V$ 、 $-V_{ey}$ が $-160V$ である。またアドレス期間の $V_a$ は例えば $60V$ 、走査パルスの $-V_y$ は例えば $-150V$ 、X電極の $V_x$ は例えば $50V$ 、 $-V_{ux}$ は例えば $-80V$ 、さらに維持パルスの $V_s$ は例えば $170V$ である。また $V_{ex}$ と $V_x$ 、 $-V_{ey}$ と $-V_y$ は同じ電圧に設定しても良く、それにより回路を共通化し、回路規模を抑えることが可能である。

【0066】図2は、本発明の第1実施例におけるフレームの構成を示す図である。図7に示すものとの違いは、各フィールドの開始時にフィールドリセット期間を設けている点である。フィールドリセット期間は、フィールドの切り換え時にアドレス電極側に残留する壁電荷を消去するためのものである。

【0067】図3は、本発明の第1実施例におけるフィールドリセットを示す波形図である。時間 $t_1$ において、Y1電極に $-V_y$ 、X2電極に $V_s$ からなる電圧が印加されて放電が起こり、壁電荷が形成される。その後パルスが除去されて各電極電位が同電位に保持されると、形成された壁電荷自身の電位差により自己消去放電が生じ、壁電荷の消去が行なわれる。同様にして時間 $t_2$ から $t_4$ まで、4回に分けて全ての電極間に順次リセット放電が行われ、壁電荷の確実な消去が実施される。なお本実施例では、 $t_1$ にて奇数番目のY電極-偶数番目のX電極間、 $t_2$ にて奇数番目のX電極-偶数番目のY電極間、 $t_3$ にて奇数番目のX電極-奇数番目のY電極間、 $t_4$ にて偶数番目のX電極-偶数番目のY電極間にて放電を行っているが、 $t_1 \sim t_4$ において、どの順番で放電を行うかは任意である。

【0068】上述の第1実施例は、第1及び第2の放電の際にY電極に印加するパルスを、それぞれ単位時間当たりの電圧変化量が変化する鈍りパルスとしている。このようなパルス波形は、パルスを出力するスイッチング素子に抵抗 $R$ を接続し、電極間に形成される静電容量 $C$ との組合せでRC回路を構成することにより簡単に得ることが可能である。そしてこの鈍りパルスのカーブは、RCで規定される時定数で決定される。

【0069】しかしながら鈍りパルスを用いる場合、立ち上がり又は立ち下がりに伴って単位時間当たりの電圧変化量が変化しているため、どの時点で放電が開始されるかによって放電の強さが異なってくるという問題がある。このため、パルスが設定電圧に飽和し始めた付近で放電を開始した場合は非常に微弱な放電を実現することが可能であるが、例えば放電セルの特性ばらつきなどから放電が比較的早い段階、すなわちパルスの立ち上がり或いは立ち下がりが比較的急峻な時点で放電を開始した

場合、強い放電が起こり、多量の壁電荷が形成されてしまう可能性があった。

【0070】図4は、本発明の第2実施例を示す波形図である。本実施例は、第1及び第2の放電の際にY電極に印加するパルスを、単位時間あたりの電圧変化量が一定な三角波としたものである。本実施例によれば、三角波を作るための回路構成は第1の実施例に較べて多少複雑になるものの、パルスの傾きが一定であるため、確実に微弱な放電を起こすことが可能である。

【0071】図5は、本発明の第3実施例を示す波形図であり、前サブフィールドにおける維持放電期間の最終パルスと次サブフィールドにおけるリセット期間とを示している。本実施例においては、第1及び第2の放電の際にY電極に印加するパルスを単位時間当たりの電圧変化量が変化する鈍りパルスとしており、この点では第1実施例と共通である。しかしながら本実施例では、前サブフィールドの維持放電期間における最終維持パルスの立ち下がりから次サブフィールドのリセット期間でのパルス印加までに十分な時間を空けるようにしている。

【0072】維持パルスの印加により維持放電が生じると、放電の終了と共に、所定量の壁電荷が蓄積される。そして放電の終了からある程度の時間が経過すると、形成された壁電荷が放電空間に存在する空間電荷と中和を開始する。従って、最終維持パルスの印加から十分な時間を空けた後にリセット放電を行うようにすれば、維持放電期間終了時に残留していた壁電荷をある程度消去することが可能である。この結果、続くリセット放電を、残留壁電荷のより少ない状態で実施することができ、安定なリセット放電が可能となる。なお、最終維持パルスの立ち下がりから次のリセット放電の開始までの時間 $t_1$ は、少なくとも $1\mu s$ より長くすることが適当であり、好ましくは $10\mu s$ である。

【0073】また本実施例では、リセット期間における第1の放電の際に、X電極への負極性のパルスとY電極への正極性のパルスとをタイミングを異ならせて印加するようにしている。

【0074】第1実施例のようにX電極への負極性パルスとY電極への正極性のパルスとを同時に印加した場合、鈍りパルスを用いているにも関わらず、強放電が生じる可能性がある。そこで本実施例では、X電極への負極性のパルスとY電極への負極性のパルスとをタイミングを異ならせて印加するようにしている。

【0075】前述したように、第1の放電の際にX電極に印加する負極性のパルスは、アドレス電極上に残留する壁電荷を消去する効果を有しているが、この消去放電を先行させた場合、アドレス電極上の壁電荷が消去されるのに伴い、負極性パルスを印加しているX電極上には正の壁電荷が形成される。この状態でY電極に対して正極性の第2のパルスを印加すると、X-Y電極間の実効電圧が低下して、強放電を防止することができるのであ

る。なお、単に強放電を防止するためということであれば、X電極に印加する負極性の電圧を低くするという方法もあるが、この場合はアドレス電極との間で行う消去放電を十分にすることが困難となるので好ましくない。

【0076】なお、X電極へのパルス印加からY電極へのパルス印加までの遅延時間 $t_2$ は、少なくとも $5\mu s$ 程度とすることが適当である。

【0077】図6は、本発明の第4実施例を示す波形図であり、リセット期間におけるY電極の波形のみを示している。Y電極に印加されるパルスは、単位時間当たりの電圧変化量が変化する鈍りパルスである。

【0078】前述した第1～第3実施例では、第1の放電に引き続いて第2の放電を行う際、 $V_{wy}$ に到達していたY電極の電位を一旦0Vまで一度に立ち下げた後に、第2の放電のためのパルスを印加するようにしていた。しかしながら、Y電極電位の0Vへの立ち下げと、第2の放電に伴うX電極への正極性のパルス印加及びY電極への負極性のパルス印加とが同時に行われると、電極間に一度に高電圧が印加されることから、強放電が生じる可能性がある。

【0079】そのため本実施例における図6(a)の例では、Y電極電位を0Vまで引き下げることなく、直ちに第2の放電のためのパルスを印加するようにしている。このようにすることにより、電極間に一度に高電圧が印加されることを防止することができるため、強放電を回避することが可能である。

【0080】しかしながら図6(a)の例では、第2の放電に要する時間が長くなってしまいう問題がある。これは、Y電極の電位を $V_{wy}$ から $-V_{ey}$ まで鈍りパルスを用いて電圧降下させているためである。仮に第2の放電に要する時間を短縮しようとするれば、単位時間当たりの電圧変化量を大きくしなければならず、第2の放電における放電規模が増大し、コントラストの低下をもたらしてしまう。

【0081】図6(b)の例は、第1～第3実施例と図6(a)の例との中間に相当するものである。すなわち $V_{wy}$ に到達しているY電極電位を0Vより高い電位(例えば20V程度)まで一旦引き下げた後に、鈍りパルスからなる負極性パルスを印加するものである。

【0082】例えば、電極電位が $V_{wy}$ に到達しているY電極を、維持放電用の電源 $V_s$ に接続することにより一旦 $V_s$ まで降下させ、更にY電極に接続されている電力回収回路を利用して所定の電位までY電極電位を降下させるといった手法が容易に採用可能である。なお電力回収回路は、Y電極(又はX電極)にインダクタを接続してパネル容量と共に直列共振回路を構成し、電極に印加された維持電圧 $V_s$ を回収、再利用するものである。維持放電期間ではX-Y電極間に交互に維持電圧 $V_s$ が印加されるわけであるが、この動作はX-Y電極間にて形成されるパネル容量を充放電しているのに等価であ

る。電力回収回路は、この充放電電流を有効利用するためのものであって、PDPの低消費電力化には欠かせない。この電力回収回路を利用することにより、新たな回路を追加することなくY電極電位を低下させることが可能である。

【0083】そしてY電極電位を所定の電位まで降下させた後に、通常の鈍波回路に接続する。この結果、本例では、強放電を生じさせることも単位時間当たりの電圧変化量を大きくすることもなく、第2の放電に要する時間を短縮することが可能である。

【0084】図7は、本発明の第5実施例を示す波形図である。本実施例では、第2の放電終了時にY電極が到達する電位を、走査パルスの電位である $-V_y$ より高くしている。

【0085】第2の放電の際にY電極に印加される鈍りパルスは負極性であるため、Y電極上には正の壁電荷が形成される。この際前述の第1～第4実施例では、Y電極電位が走査パルスの電位である $-V_y$ まで下げられていたため、形成される壁電荷が比較的多量となっていた。引き続いて行われるアドレス期間では、Y電極に負極性の走査パルスが印加されるわけであるが、この際に正の壁電荷が残留していると走査パルスの実効電圧を引き下げてしまい、アドレス放電の安定な実効を阻害する可能性があった。反対に第2の放電終了時におけるY電極の到達電位が高すぎる（例えばアドレス期間におけるY電極の非選択電位 $-V_{sc}$ ）場合、Y電極上には負の壁電荷が形成されてしまう。この場合は、Y電極に負の走査パルスを印加した際に負の壁電荷が重畳されてしまい、アドレスパルスの印加されていないセルまでも放電が起きてしまう可能性がある。

【0086】本実施例では、第2の放電終了時におけるY電極の到達電位を、アドレス期間におけるY電極の選択電位 $-V_y$ と非選択電位 $-V_{sc}$ との間とし、安定なアドレス放電を可能としている。或いは、従来と同程度の駆動マージンを得るのであれば、アドレスパルスの印加電圧を低下させることが可能である。なお、Y電極の到達電位は、アドレス期間におけるY電極の選択電位 $-V_y$ からの上昇分 $\Delta V$ が、 $0 < \Delta V < 20V$ の範囲、好ましくは10V程度となるように設定することが適当である。

【0087】図8は、本発明の第6実施例におけるフレームの構成を示す図であり、図9は同実施例を示す波形図である。本実施例は、図2にて説明したフィールドリセット期間を設けている点で第1実施例と共通するが、フィールドリセット期間に先立って、更にフィールドリセット電荷調整期間を設けている点が特徴である。

【0088】第1フィールド又は第2フィールド終了時、各セルにおける電荷の状態は様々である。これは、セルによってフィールド毎の放電状態が異なるからである。仮にフィールドリセット期間の開始時に、フィール

ドリセットのための印加パルスに対して逆極性の壁電荷が残留していた場合、印加パルスの実効電圧を低下させることになり、安定なフィールドリセットが困難となる。例えば図3の例において、Y1電極上に正の壁電荷（又はX2電極上に負の壁電荷）が残留していた場合、Y1-X2電極間に印加される実効電圧が低下することになり、安定な放電が不可能となってしまう。本実施例では、フィールドリセット期間に先立ってフィールドリセット電荷調整期間を設け、フィールドリセット期間にて印加されるパルスに対して同極性の壁電荷を積極的に形成しようとするものである。

【0089】図9は具体的な波形図である。フィールドリセット電荷調整期間において、まずはX1電極に負極性のパルスを、Y1電極には正極性のパルスを印加する。X1電極に印加した電圧 $V_{wx}$ とY1電極に印加した電圧 $V_{wy}$ の合計は、セルの放電開始電圧を越え、全セルでの放電が開始される。この際Y1電極に印加するパルスを単位時間当たりの電圧変化量が変化する鈍りパルスとしているため、この放電はリセット期間における第1の放電同様微弱放電となり、コントラストの低下を抑えることができる。この全面放電により、Y1電極上には負の壁電荷が蓄積される。しかしながらここで蓄積された壁電荷は多量であり、そのままフィールドリセット期間に移行した場合、壁電荷の重畳により放電が大規模になりすぎるため、続けてY1電極には負極性の消去パルスを印加し、蓄積されている壁電荷の量を調整する。この負極性のパルスも、単位時間当たりの電圧変化量が変化する鈍りパルスである。

【0090】この結果、フィールドリセット電荷調整期間の終了時には、適度な量の負の壁電荷が蓄積されていることになる。この状態でフィールドリセット期間に移行することにより、形成されている壁電荷は印加パルスに重畳されることとなり、確実にフィールドリセットを実行することが可能となる。

【0091】

【発明の効果】本発明によれば、コントラストの低下を抑制することができると共に、全ての表示ラインで確実にリセット放電と、それに続く消去放電を実施することができる。この結果、リセット期間において全てのセルの状態を確実に均一にすることができ、安定なアドレス放電を実現し、誤表示を防止することができるものである。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す波形図である。

【図2】本発明の第1実施例におけるフレームの構成を示す図である。

【図3】本発明の第1実施例におけるフィールドリセットを示す波形図である。

【図4】本発明の第2実施例を示す波形図である。

【図5】本発明の第3実施例を示す波形図である。

- 【図6】本発明の第4実施例を示す波形図である。  
 【図7】本発明の第5実施例を示す波形図である。  
 【図8】本発明の第6実施例におけるフレーム構成を示す図である。  
 【図9】本発明の第6実施例を示す波形図である。  
 【図10】面放電型PDPの概略構成図である。  
 【図11】図10のPDPのアドレス電極A1に沿った断面図である。  
 【図12】図10のPDPにおけるフレームの構成を示す図である。  
 【図13】図10のPDPにおける従来の駆動方法を示

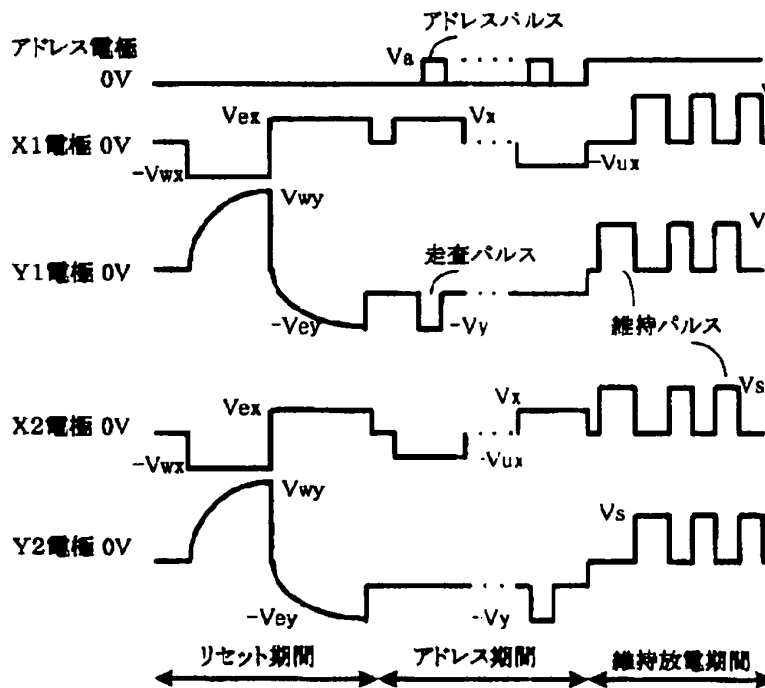
す波形図である。

【符号の説明】

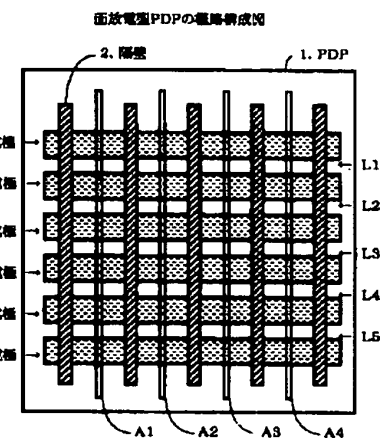
- 1 PDP  
 2 隔壁  
 3 前面基板  
 4 背面基板  
 X1, X2, X3..., Y1, Y2, Y3... 維持放電電極  
 A1, A2, A3... アドレス電極  
 L1, L2, L3... 表示ライン

【図1】

本発明の第1実施例を示す波形図

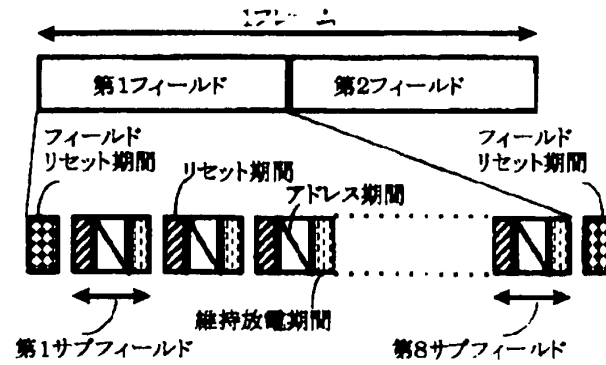


【図10】



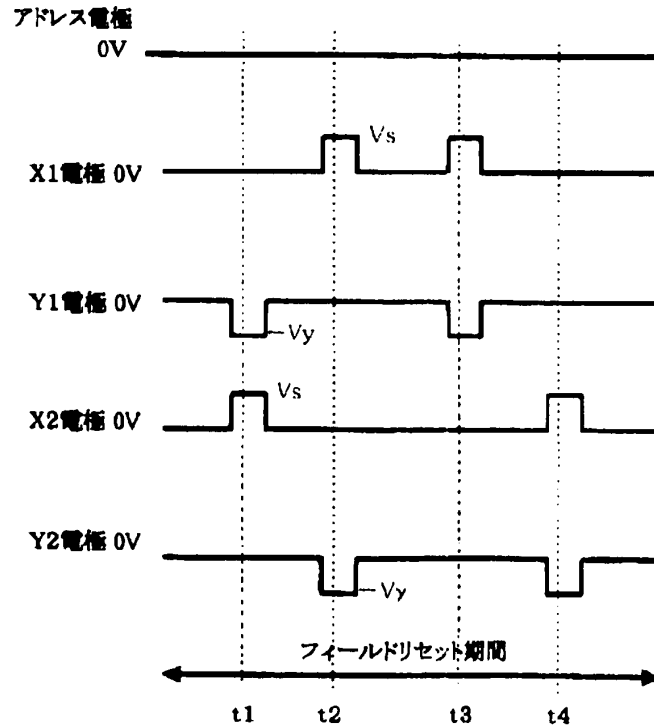
【図2】

本発明の第1実施例におけるフレームの構成を示す図



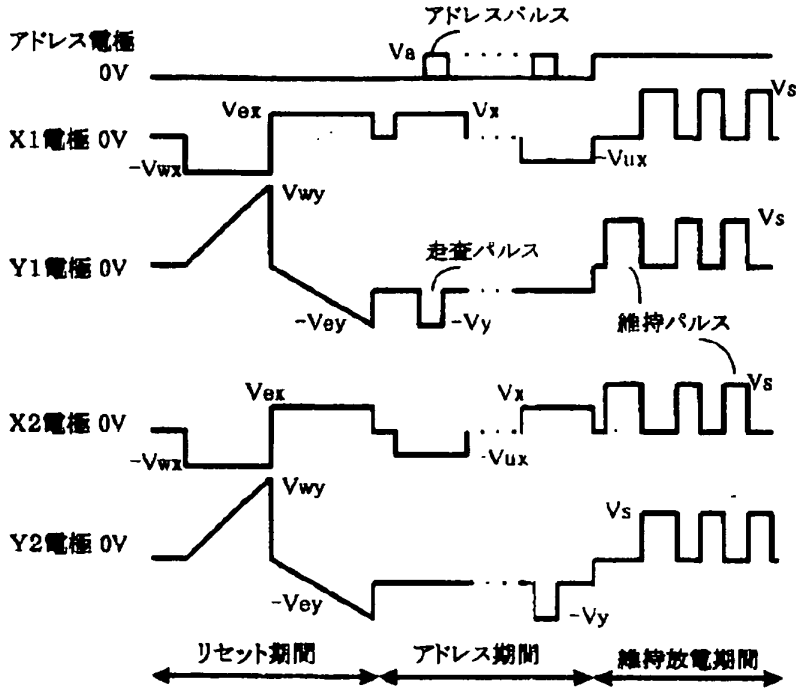
【図3】

本発明の第1実施例におけるフィールドリセットを示す波形図



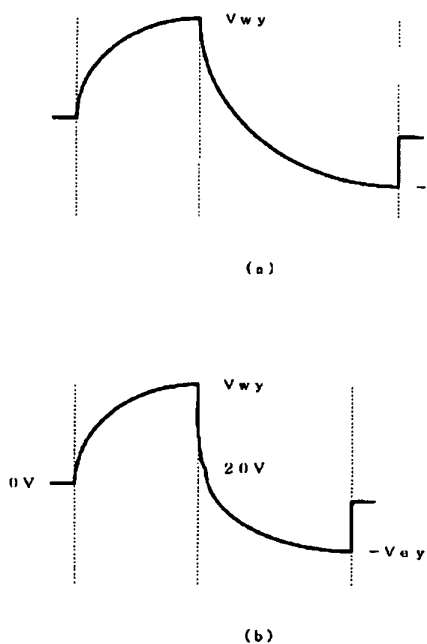
【図4】

本発明の第2実施例を示す波形図



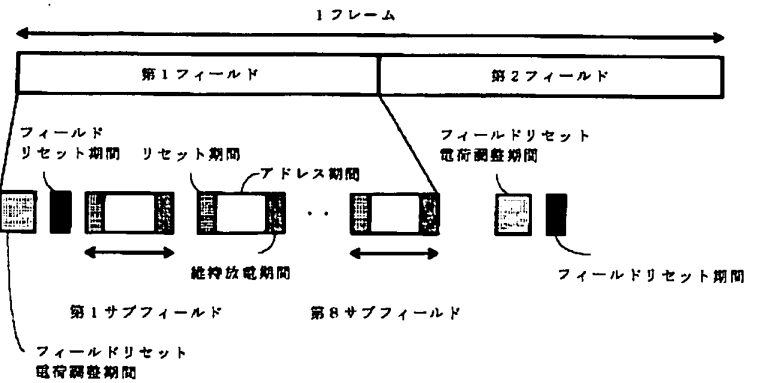
【図6】

本発明の第4実施例を示す波形図



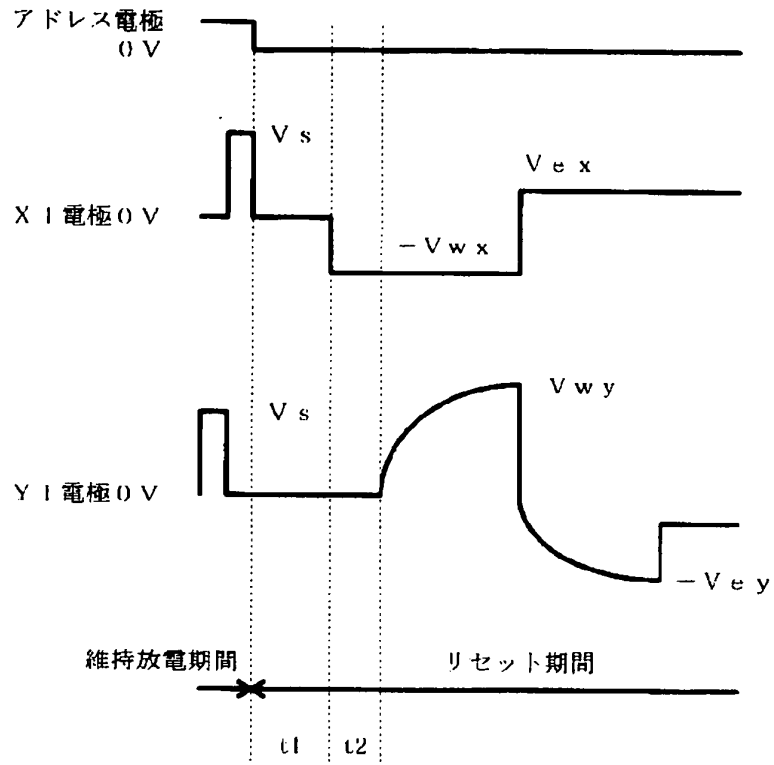
【図8】

本発明の第6実施例におけるフレームの構成を示す図



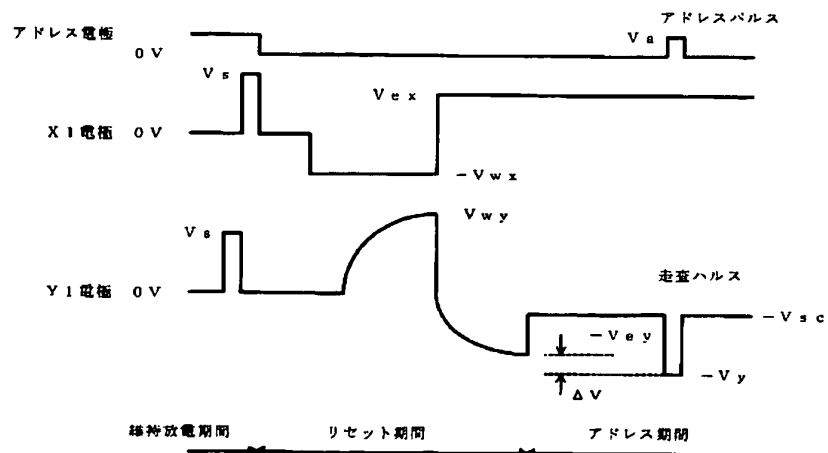
【図5】

本発明の第3実施例を示す波形図



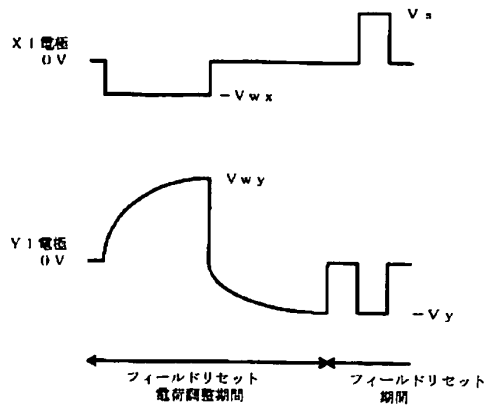
【図7】

本発明の第5実施例を示す波形図



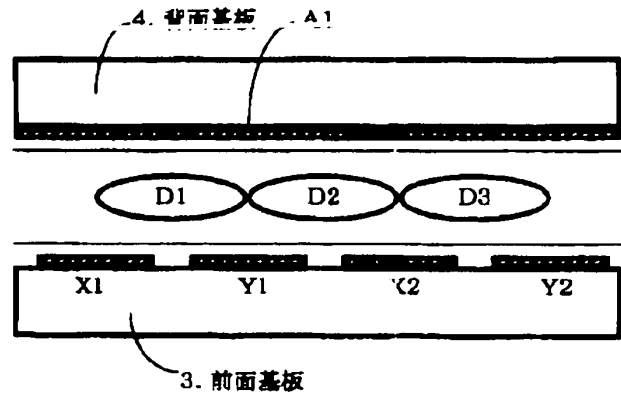
【図9】

本発明の第6実施例を示す波形図



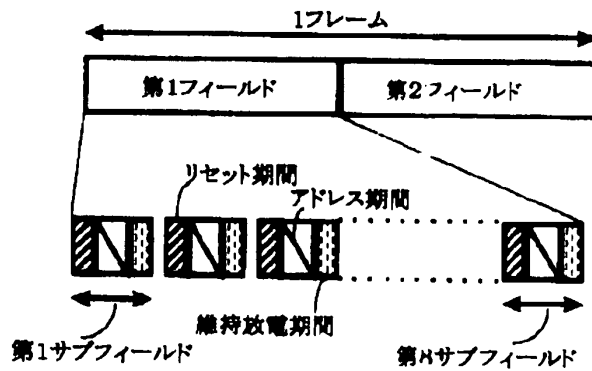
【図11】

図10のPDPのアドレス電極A1に沿った断面図



【図12】

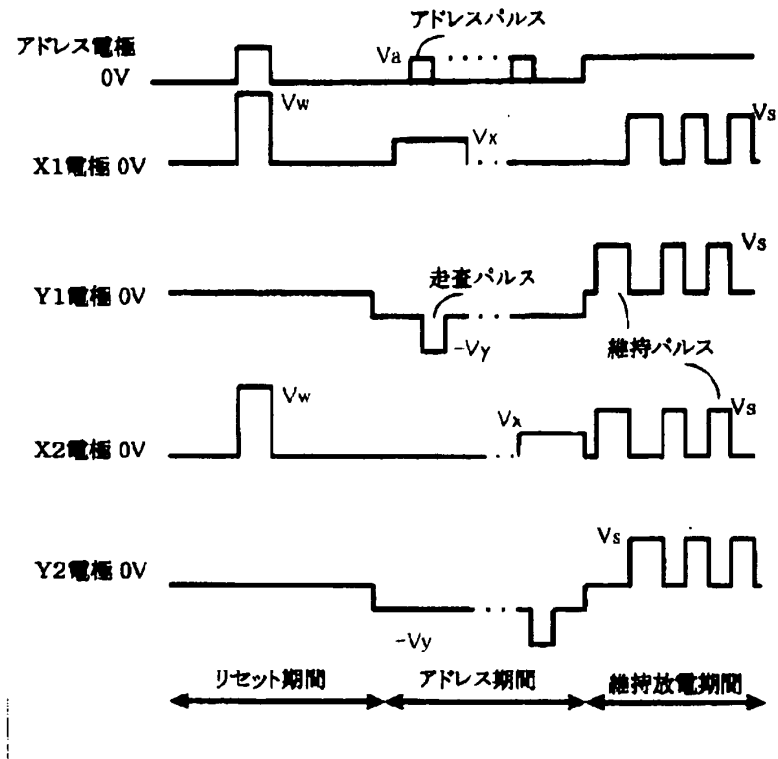
図10のPDPにおけるフレームの構成を示す図





【図13】

図10のPDPにおける従来の駆動方法を示す波形図



フロントページの続き

(72)発明者 金澤 義一  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内